

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-252087

(43)公開日 平成9年(1997)9月22日

(51)Int.Cl.⁶
H 01 L 27/04
21/822
H 01 P 1/00

識別記号 序内整理番号

F I
H 01 L 27/04
H 01 P 1/00

技術表示箇所
L
Z

審査請求 未請求 請求項の数4 FD (全5頁)

(21)出願番号 特願平8-85679
(22)出願日 平成8年(1996)3月14日

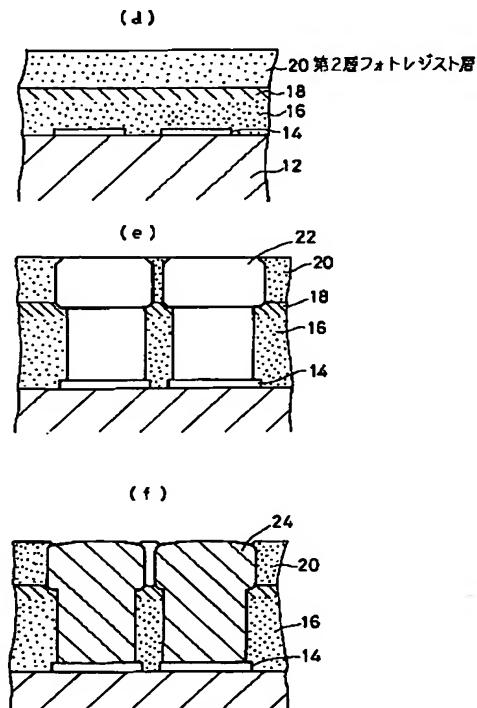
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 遠澤 公一
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(54)【発明の名称】 ICのリアクタンス形成方法

(57)【要約】

【課題】 集積度が高く、かつ大きなリアクタンス値を有するICを実現できるリアクタンス形成方法を提供する。

【解決手段】 本リアクタンス形成方法は、平面型コイルと同じパターンを有する下地導電膜14をIC基板12上に形成し、次いで、下地導電膜上に第1のフォトレジスト膜16を成膜する。続いて、第1のフォトレジスト膜にプラズマアッシングを施して第1のフォトレジスト膜の表層を変質させ、第1のフォトレジスト膜の変質膜18上に第2のフォトレジスト膜20を成膜する。更に、第1及び第2のフォトレジスト膜をバターニングして、平面型コイルの所定平面パターンと同じパターンで開口してフォトレジスト膜を貫通して導電膜に達し、かつパターンの長手方向中心線に直交する面でT字状の開口断面を有する溝状の開口22を形成し、開口内の下地導電膜上に金属24をメッキして平面型コイルを形成する。



【特許請求の範囲】

【請求項1】 IC基板上に形成した平面型コイル素子によりIC中にリアクタンスを形成する際に、平面型コイルの所定平面パターンと同じパターンを有する下地導電膜を半導体基板上に形成する工程と、下地導電膜上に第1のフォトレジスト膜を成膜する工程と、第1のフォトレジスト膜にプラズマアッシングを施して第1のフォトレジスト膜の表層を変質させる工程と、第1のフォトレジスト膜の変質膜上に第2のフォトレジスト膜を成膜する工程と平面型コイルの所定平面パターンと同じパターンで第1及び第2のフォトレジスト膜をパターニングし、フォトレジスト膜を貫通して導電膜に達し、かつパターンの長手方向中心線に直交する面で略T字状の開口断面を有する溝状の開口を形成する工程と、

開口内の下地導電膜上に金属をメッキする工程とを備えることを特徴とするICのリアクタンス形成方法。

【請求項2】 第1のフォトレジスト膜の変質膜上に第2のフォトレジスト膜を成膜する工程に続いて、更に、第2のフォトレジスト膜にプラズマアッシングを施して第2のフォトレジスト膜の表層を変質させる変質膜形成工程と、第2のフォトレジスト膜の変質膜上に第3のフォトレジスト膜を成膜するフォトレジスト膜形成工程とを備え、変質膜形成工程とフォトレジスト膜形成工程とを所定回数繰り返すことを特徴とする請求項1に記載のICのリアクタンス形成方法。

【請求項3】 IC基板が化合物半導体で形成され、かつICがモノリシックマイクロ波集積回路であることを特徴とする請求項1に記載のICのリアクタンス形成方法。

【請求項4】 下地導電膜にTiAuを、金属にAuを使用することを特徴とする請求項3に記載のICのリアクタンス形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ICのリアクタンス形成方法に関し、更に詳細には、リアクタンスを構成する平面型コイル素子の形成に際し、コイルの巻線とそれに隣合う巻線との間で短絡が生じないようにし、かつ大きな値のリアクタンスを形成するように工夫された、ICのリアクタンス形成方法に関するものである。

【0002】

【従来の技術】モノリシックマイクロ波集積回路（以下、簡単にMMICと言う）は、マイクロ波集積回路を構成する能動素子と受動素子とが一括してGaAs、Siなどの半導体基板上に形成されたマイクロ波集積回路である。MMICの回路特性の一つであるリアクタンスは、通常、所定パターンに従ってAuを半導体基板上に

メッキして得た平面型コイルにより構成されている。

【0003】ここで、従来の平面型コイルによるリアクタンス形成方法を説明する。図3は、平面型コイルを形成する際の各工程毎の基板断面図である。図3(a)に示すように、所望平面形状の平面型コイルのパターンに従って半絶縁性GaAs基板32上にTiAuからなるメッキ用下地導電膜34を形成する。次いで、図3(b)に示すように、フォトレジスト膜36を塗布、形成し、次いでホトリソグラフィにより平面型コイルのパターンにパターニングして溝状の開口38を形成する。続いて、図3(c)に示すように、Auメッキ40を行って平面型コイルを形成する。平面型コイルのパターンは、任意であって、例えば図4(a)に示すようにミラーリング形、或いは図4(b)に示すスパイラル形等がある。また、スパイラル形にも角形、円形等の種々の平面形状がある。

【0004】

【発明が解決しようとする課題】しかし、従来のリアクタンス形成方法では、Auメッキを施した際、フォトレジスト膜表面側のメッキのパターン制御が技術的に極めて難しく、そのために、図5に示すように、コイル巻線42Aと、隣合うコイル巻線42Bの間でAuメッキ層が接触し、電気的な短絡が生じるという問題があった。コイル巻線42Aとコイル巻線42Bとの間隔（図5で示すS）を大きくして、この問題を解決しようとすると、素子集積度が低下して、MMICの高集積化及び微細化が難しくなる。また、別の問題として、平面型コイルによるリアクタンス値の問題がある。リアクタンスの値を大きくする一つの方法として、平面型コイルの基板に直交する方向の厚さを厚くして、大きな電流を流すという方法がある。しかし、従来のリアクタンス形成方法では、この方法により大きなリアクタンスを得ることが技術的に極めて難しいという問題があった。すなわち、MMICのリアクタンスを大きくするためには、従って平面型コイルの厚さを厚くするためには、フォトレジスト膜の厚さを厚くしてAuを厚くメッキする必要があるが、従来のリアクタンス形成方法では、フォトレジスト膜の膜厚を厚くしようとしても、フォトレジスト材料を基板上に塗布する際にフォトレジスト材料がその流動性のために周囲に流れ出てフォトレジスト膜を厚くすることが難しい。従って、平面型コイルの厚さを所望通りに厚くすることができないと言う問題があった。

【0005】そこで、本発明の目的は、集積度が高く、かつ大きなリアクタンス値を有するICを実現できるリアクタンス形成方法を提供することである。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明に係るICのリアクタンス形成方法は、IC基板上に形成した平面型コイル素子によりIC中にリアクタンスを形成する際に、平面型コイルの所定平面バタ

ーンと同じパターンを有する下地導電膜を半導体基板上に形成する工程と、下地導電膜上に第1のフォトレジスト膜を成膜する工程と、第1のフォトレジスト膜にプラズマアッシングを施して第1のフォトレジスト膜の表層を変質させる工程と、第1のフォトレジスト膜の変質膜上に第2のフォトレジスト膜を成膜する工程と平面型コイルの所定平面パターンと同じパターンで第1及び第2のフォトレジスト膜をパターニングし、フォトレジスト膜を貫通して導電膜に達し、かつパターンの長手方向中心線に直交する面で略T字状の開口断面を有する溝状の開口を形成する工程と、開口内の下地導電膜上に金属をメッキする工程とを備えることを特徴としている。

【0007】本発明方法で使用するフォトレジスト膜は、プラズマアッシングにより変質する性質を有する限り、その材料には制約はなく、常用のフォトレジスト材料を使用できる。第1のフォトレジスト膜の材料と、第2のフォトレジスト膜の材料とは同じものである。本発明で施すプラズマアッシングは、例えばO₂ガス、CF₄ガス等を反応ガスとし、平行平板型プラズマアッシング装置、ダウンストリーム型プラズマアッシング装置等の既知のプラズマアッシング装置を使用して行うことができる。プラズマアッシングに要する時間は、フォトレジスト膜の表層が変質するのに要する時間であって、通常30秒程度である。本発明方法で形成する平面型コイルの形状は、制約はなく、例えばミランダ形、或いはスパイラル形等がある。また、ミランダ形及びスパイラル形の形状にも、角形、円形等の種々の平面形状がある。

【0008】本発明方法では、上述の工程により、変質したフォトレジスト膜とその上のフォトレジスト膜の界面で溶解遅延が生じ、これにより、フォトレジスト膜の膜厚を厚くできる。更に説明すると、表層が変質したフォトレジスト膜と、その上の正常なフォトレジスト膜との多層膜で構成されたフォトレジスト膜にホトリソグラフィを適用したとき、表層が変質したフォトレジスト膜の現像速度が、その上の正常なフォトレジスト膜の現像速度より遅いために、正常なフォトレジスト膜中では、表層が変質したフォトレジスト膜中の開口より、断面寸法が大きな開口が開口し、丁度T字状の断面寸法の溝が形成される。その結果、金属メッキを施した際に、従来のように、金属メッキ層が開口から外に溢れ出て、隣の金属メッキ層と接触するようなことが無くなる。

【0009】また、本発明方法では、第1のフォトレジスト膜の変質膜上に第2のフォトレジスト膜を成膜する工程に統いて、更に、第2のフォトレジスト膜にプラズマアッシングを施して第2のフォトレジスト膜の表層を変質させる変質膜形成工程と、第2のフォトレジスト膜の変質膜上に第3のフォトレジスト膜を成膜するフォトレジスト膜形成工程とを備え、変質膜形成工程とフォトレジスト膜形成工程とを所定回数繰り返して、変質した下層フォトレジスト膜上に別のフォトレジスト膜を形成

し、厚さの厚いフォトレジスト膜を形成することができる。

【0010】本発明方法は、IC基板上に平面型コイルを形成する場合に適用でき、特に、IC基板が化合物半導体で形成されたモノリシックマイクロ波集積回路のリアクタンス形成に好適であり、例えば、半導体基板にGaAsを、下地導電膜にTiAuを、メッキ用金属にAuを使用する。

【0011】

【発明の実施の形態】以下に、添付図面を参照し、実施例を挙げて本発明の実施の形態を具体的かつ詳細に説明する。

実施例

本実施例は、MMICの回路素子の一つとしてGaAs基板上に平面型コイルを形成し、これによりIC中にリアクタンス形成方法を適用した例である。先ず、図1(a)に示すように、半絶縁性GaAs基板12上にTiAuからなる下地導電膜14をスパッタリング等により成膜し、次いで下地導電膜14をエッチングして平面型コイルの所望平面パターンと同じ平面パターンにパターニングする。

【0012】次いで、図1(b)に示すように、パターニングした下地導電膜14上に第1層フォトレジスト膜16を塗布、形成する。統いて、図1(c)に示すようにプラズマアッシングを施して第1層フォトレジスト膜16の表層を変質膜18に転化させる。プラズマアッシングは、例えば平行平板型プラズマアッシング装置又はダウンストリーム型プラズマアッシング装置を使用して、例えば次のような条件で行う。

圧力: 0.6 Torr

温度: 100~150°C

反応ガス: O₂ 150 sccm 又はCF₄ 50 sccm

RF出力: 150 W

時間: 30 sec

【0013】次に、図2(d)に示すように、変質した第1層フォトレジスト膜16上に、第2層フォトレジスト膜20を塗布、形成する。第1層フォトレジスト膜16及び第2層フォトレジスト膜の層厚の和は、形成する平面型コイルの厚さにほぼ等しい厚さである。通常、その厚さは、1~3 μmである。更に、厚い平面型コイルを形成したい場合には、第1層フォトレジスト膜16を多段層で形成する。すなわち、最下段の第1層フォトレジスト膜16を塗布、形成し、統いてプラズマアッシングを施して表層を変質させる。次いで、第2段目の第1層フォトレジスト膜16を塗布、形成し、統いてプラズマアッシングを施して表層を変質させる。第1層フォトレジスト膜16が所望の厚さになるまでこのような工程を繰り返す。

【0014】次に、紫外線露光を使用するホトリソグラ

フィにより、第2層フォトレジスト膜20及び第1層フォトレジスト膜16を所定パターンにパターニングする。その結果、図2(e)に示すように、第2層フォトレジスト膜20及び第1層フォトレジスト膜16を貫通して下地導電膜14に達し、パターンの長手方向中心線に直交する面で略T字状の断面を有し、かつ平面型コイル素子と同じパターンの溝状の開口22が開口する。次いで、図2(f)に示すように、溝22内の下地導電膜14上に金属、例えばAuをメッキして平面型コイル24を形成する。

【0015】本実施例では、表層が変質した第1層フォトレジスト膜16の現像速度が、その上の正常なフォトレジスト膜20の現像速度より遅いために、正常なフォトレジスト膜20中では、第1層フォトレジスト膜16中の開口より、断面寸法が大きな開口22が開口し、丁度T字状の断面寸法の溝が形成される。その結果、Auメッキを施した際に、従来のように、開口22から外に溢れ出て、隣のAuメッキ層と接触するようなことがなくなる。よって、本実施例では、平面型コイル24の巻き線同士の間隔を小さくできるので、集積度の高いMMICを実現することができる。また、必要に応じて第1層フォトレジスト膜16の厚さを厚くできるので、厚さの厚い平面型コイルを形成し、これにより大きな値のリアクタンスを形成することができる。

【0016】

【発明の効果】本発明方法によれば、IC基板上に平面型コイル素子を形成し、これによりIC中にリアクタンスを形成する際に、下地導電膜上に第1のフォトレジスト膜を成膜する工程と、第1のフォトレジスト膜にプラズマアッシングを施して第1のフォトレジスト膜の表層を変質させる工程と、第1のフォトレジスト膜の変質膜上に第2のフォトレジスト膜を成膜する工程と、第1及び第2のフォトレジスト膜をパターニングして、平面型コイルの所定平面パターンと同じパターンで開口し、かつパターンの長手方向中心線に直交する面で略T字状の開口断面を有する溝状の開口を形成する工程と、開口内

の下地導電膜上に金属をメッキして平面型コイルを形成する工程とを備えることにより、高集積度でかつ大きな値のリアクタンスを形成できる。本発明方法によれば、多層フォトレジスト膜の現像速度の違いを利用してフォトレジスト膜中に略T字状の開口断面を有する溝状の開口を形成し、金属メッキの異常成長を防止することにより、リアクタンス間の短絡を防止している。本発明方法を適用すれば、IC製品の歩留りを向上させることができる。また、フォトレジスト膜の厚膜化及び広断面積化により高いリアクタンス値を達成でき、更には厚いフォトレジスト膜のガイド効果により金属メッキの形状を制御できるので、値の安定したリアクタンスを形成でき、品質が向上する。本発明方法は、IC、特にモノリシックマイクロ波集積回路のリアクタンス形成工程に好適に適用できる。

【図面の簡単な説明】

【図1】図1(a)から(c)は、それぞれ、本発明方法を実施する際の各工程毎の基板断面を示す概念的断面図である。

【図2】図2(d)から(f)は、それぞれ、図1(c)に引き続いて本発明方法を実施する際の各工程毎の基板断面を示す概念的断面図である。

【図3】図3(a)から(c)は、それぞれ、従来方法を実施する際の各工程毎の基板断面を示す概念的断面図である。

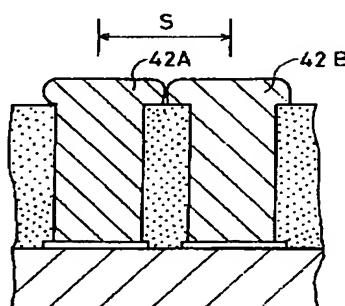
【図4】図4(a)及び(b)は、それぞれ、平面型コイルの形状を例示する図である。

【図5】従来方法で平面型コイルを形成した際に生じる短絡現象を説明する基板断面図である。

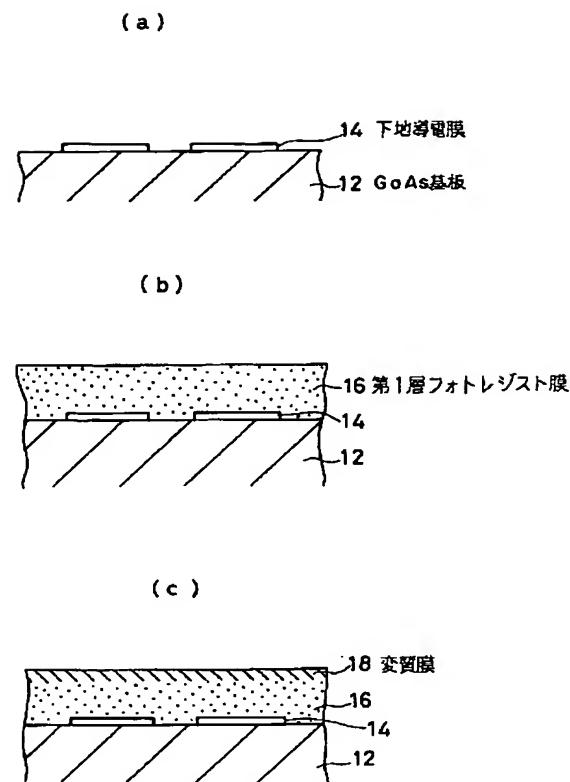
【符号の説明】

12……半絶縁性GaAs基板、14……下地導電膜、16……第1層フォトレジスト膜、18……変質膜、20……第2層フォトレジスト膜、22……開口、24……平面型コイル、32……半絶縁性GaAs基板、34……メッキ用導電膜、36……フォトレジスト膜、38……開口、40Auメッキ。

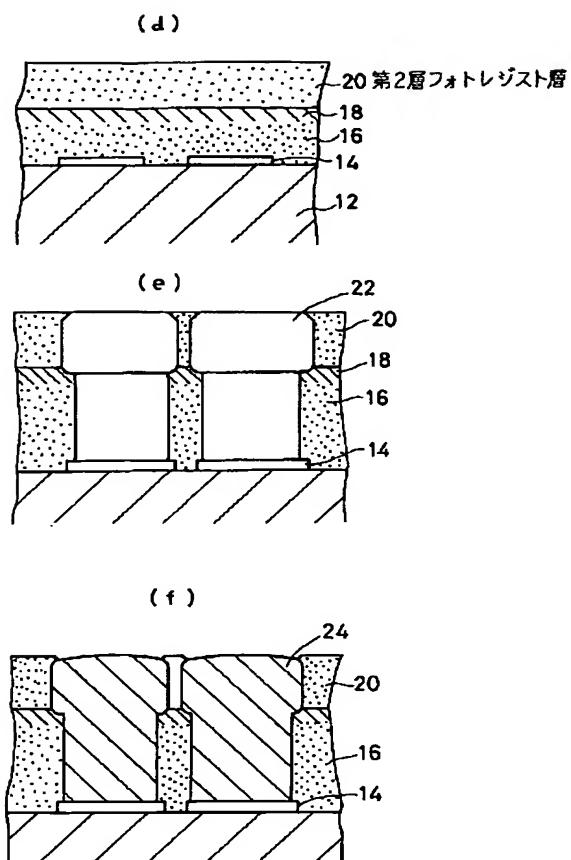
【図5】



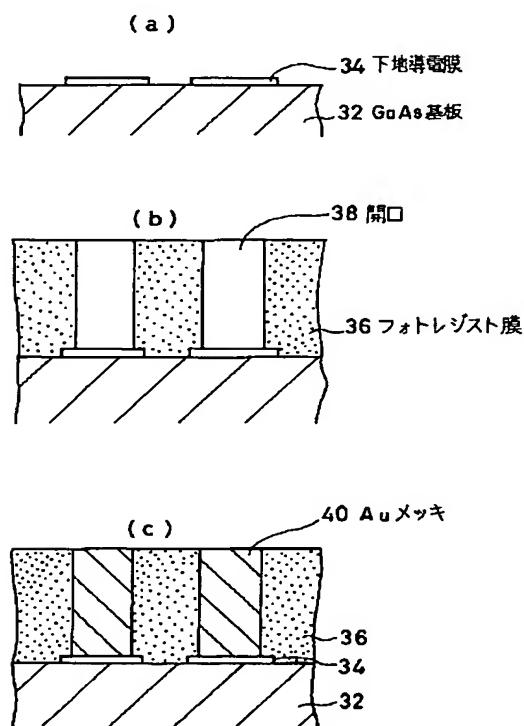
【図1】



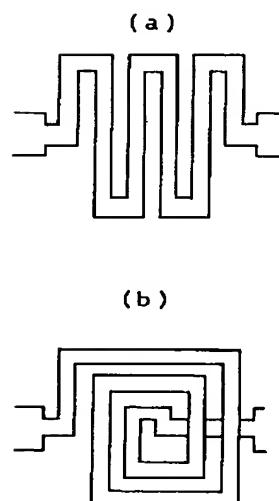
【図2】



【図3】



【図4】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-252087

(43)Date of publication of application : 22.09.1997

(51)Int.Cl. H01L 27/04
 H01L 21/822
 H01P 1/00

(21)Application number : 08-085679
 (22)Date of filing : 14.03.1996

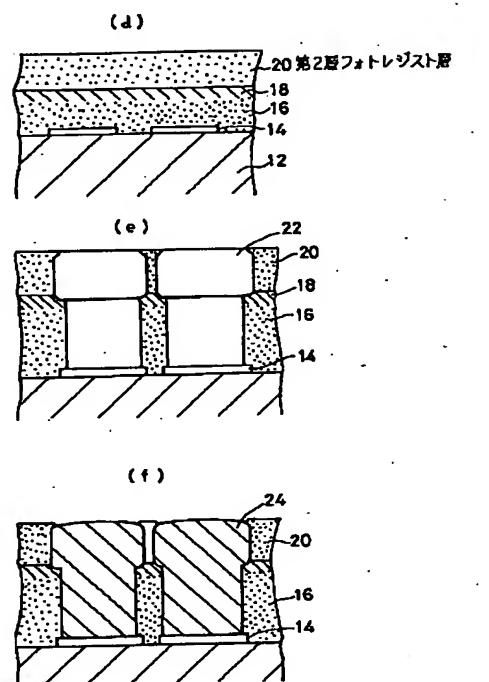
(71)Applicant : SONY CORP
 (72)Inventor : TOOSAWA KOUICHI

(54) REACTANCE FORMING METHOD OF IC

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reactance forming method through which an IC in high degree of integration and in large reactance can be realized.

SOLUTION: A ground conductive film 14 possessed of the same pattern with a planar coil is formed on an IC board 12, and then a first photoresist film 16 is formed on the base conductive film 14. In succession, the first photoresist film 16 is subjected to plasma ashing, whereby the surface layer of the first photoresist film 16 is modified, and a second photoresist film 20 is formed on the modified film 18 of the first photoresist film 16. Furthermore, the first and the second photoresist film, 16 and 20, are patterned to provide an opening of a pattern identical to the predetermined planar pattern of a planar coil, whereby a groove-shaped opening 22 of pattern which reaches the conductive film 14 penetrating through the photoresist films 20, 18, and 16 and is T-shaped in cross section on a plane that crosses the lengthwise center line of the pattern at right angles is formed, and the base conductive film 14 inside the opening is plated with the metal 24 for the formation of a planar coil.



*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which forms the substrate electric conduction film which has the same pattern as the predetermined flat-surface pattern of a flat-surface mold coil in case a reactance is formed into IC by the flat-surface mold coil component formed on IC substrate on a semiconductor substrate. The process which forms the 1st photoresist film on the substrate electric conduction film, and the process which plasma ashing is performed [process] to the 1st photoresist film, and deteriorates the surface of the 1st photoresist film. Patterning of the 1st and 2nd photoresist film is carried out by the process and the predetermined flat-surface pattern of a flat-surface mold coil which form the 2nd photoresist film on the deterioration film of the 1st photoresist film, and the same pattern. The reactance formation approach of IC characterized by having the process which forms groove opening which has the opening cross section of the letter of the abbreviation for T characters in the field which penetrates the photoresist film, and reaches the electric conduction film, and intersects perpendicularly with the longitudinal direction center line of a pattern, and the process which plates a metal on the substrate electric conduction film in opening.

[Claim 2] At the process which forms the 2nd photoresist film on the deterioration film of the 1st photoresist film, then, the deterioration film formation process which plasma ashing is performed [formation process] to the 2nd photoresist film, and deteriorates the surface of the 2nd photoresist film further. The reactance formation approach of IC according to claim 1 characterized by having the photoresist film formation process and ** which form the 3rd photoresist film on the deterioration film of the 2nd photoresist film, and repeating a deterioration film formation process and a photoresist film formation process the number of predetermined times.

[Claim 3] The reactance formation approach of IC according to claim 1 which IC substrate is formed with a compound semiconductor, and is characterized by IC being a monolithic microwave integrated circuit.

[Claim 4] The reactance formation approach of IC according to claim 3 characterized by using TiAu for the substrate electric conduction film, and using Au for a metal.

[Translation done.]

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the reactance formation approach of IC devised so that it might be made for a short circuit not to arise between ***** coils in the coil of a coil, and it and the reactance of a big value might be formed about the reactance formation approach of IC on the occasion of formation of the flat-surface mold coil component which constitutes a reactance in a detail further.

[0002]

[Description of the Prior Art] A monolithic microwave integrated circuit (simply henceforth MMIC) is a microwave integrated circuit collectively formed on semi-conductor substrates, such as Ga As and Si, by the active element and passive element which constitute a microwave integrated circuit. The reactance which is one of the circuit properties of MMIC is usually constituted by the flat-surface mold coil which plated and obtained Au on the semi-conductor substrate according to the predetermined pattern.

[0003] Here, the reactance formation approach with the conventional flat-surface mold coil is explained. Drawing 3 is a substrate sectional view for every process at the time of forming a flat-surface mold coil. As shown in drawing 3 (a), the pattern of the flat-surface mold coil of a request flat-surface configuration is followed, and it is the half-insulation Ga As. The substrate electric conduction film 34 for plating which consists of TiAu is formed on a substrate 32. Subsequently, as shown in drawing 3 (b), the photoresist film 36 is applied and formed, subsequently to the pattern of a flat-surface mold coil, patterning is carried out with photolithography, and the groove opening 38 is formed. Then, as shown in drawing 3 (c), Au plating 40 is performed and a flat-surface mold coil is formed. The pattern of a flat-surface mold coil has the Miranda form or the spiral form shown in drawing 4 (b), as it is arbitrary, for example, is shown in drawing 4 (a). Moreover, there are various flat-surface configurations, such as a square shape and a round shape, also in a spiral form.

[0004]

[Problem(s) to be Solved by the Invention] However, by the conventional reactance formation approach, when Au plating was performed, the pattern control of plating by the side of a photoresist film front face was very difficult technically, therefore as shown in drawing 5, Au deposit contacted coil coil 42A between ***** coil coil 42B, and there was a problem that an electric short circuit arose. If spacing (S shown by drawing 5) of coil coil 42A and coil coil 42B tends to be enlarged and it is going to solve this problem, a component degree of integration will fall and high integration and detailed-izing of MMIC will become difficult. Moreover, there is a problem of a reactance value with a flat-surface mold coil as another problem. As one approach of enlarging the value of a reactance, thickness of the direction which intersects perpendicularly with the substrate of a flat-surface mold coil is thickened, and there is a method of passing a big current. However, by the conventional reactance formation approach, there was a problem [acquire / by this approach / a big reactance] of being technical very difficult. That is, even if it is going to thicken thickness of the photoresist film by the conventional reactance formation approach, in case a photoresist ingredient is applied on a substrate, it is difficult [in order / in order to enlarge the reactance of MMIC therefore / to thicken thickness of a flat-surface mold coil, it is necessary to thicken thickness of the photoresist film and to plate Au thickly, and / it] for a photoresist ingredient to flow into a perimeter and to thicken the photoresist film for the fluidity. Therefore, there was a problem which says that thickness of a flat-surface mold coil cannot thicken as a request.

[0005] Then, it is offering the reactance formation approach IC of the object of this invention which has a big reactance value being realizable highly [a degree of integration].

[0006]

[Means for Solving the Problem] In order to attain the above-mentioned object, the reactance formation approach of IC concerning this invention The process which forms the substrate electric conduction film which has the same pattern as the predetermined flat-surface pattern of

a flat-surface mold coil in case a reactance is formed into IC by the flat-surface mold coil component formed on IC substrate on a semi-conductor substrate, The process which forms the 1st photoresist film on the substrate electric conduction film, and the process which plasma ashing is performed [process] to the 1st photoresist film, and deteriorates the surface of the 1st photoresist film, Patterning of the 1st and 2nd photoresist film is carried out by the process and the predetermined flat-surface pattern of a flat-surface mold coil which form the 2nd photoresist film on the deterioration film of the 1st photoresist film, and the same pattern. It is characterized by having the process which forms groove opening which has the opening cross section of the letter of the abbreviation for T characters in the field which penetrates the photoresist film, and reaches the electric conduction film, and intersects perpendicularly with the longitudinal direction center line of a pattern, and the process which plates a metal on the substrate electric conduction film in opening.

[0007] As long as the photoresist film used by this invention approach has the property to deteriorate by plasma ashing, there is no constraint in the ingredient and a photoresist ingredient in ordinary use can be used. The ingredient of the 2nd photoresist film is the same as the ingredient of the 1st photoresist film. Plasma ashing performed by this invention is O₂. Gas and CF₄ Gas etc. can be made into reactant gas and it can carry out using known plasma ashing devices, such as a parallel plate mold plasma ashing device and a downstream mold plasma ashing device. The time amount which plasma ashing takes is time amount taken for the surface of the photoresist film to deteriorate, and is usually about 30 seconds. There is no configuration of the flat-surface mold coil formed by this invention approach, for example, constraint has a Miranda form or a spiral form. Moreover, there are various flat-surface configurations, such as a square shape and a round shape, also in the configuration of a Miranda form and a spiral form.

[0008] By this invention approach, according to an above-mentioned process, dissolution delay arises in the interface of the photoresist film which deteriorated, and the photoresist film on it, and, thereby, thickness of the photoresist film can be thickened. Furthermore, when are explained and photolithography is applied to the photoresist film which consisted of multilayers of the photoresist film with which the surface deteriorated, and the normal photoresist film on it, Since the development rate of the photoresist film with which the surface deteriorated is slower than the development rate of the normal photoresist film on it, in the normal photoresist film From opening in the photoresist film with which the surface deteriorated, opening with a big cross-section dimension carries out opening, and the slot of a T character-like cross-section dimension is formed exactly. Consequently, when metal plating is performed, what a metal deposit overflows outside from opening and contacts the next metal deposit like before is lost.

[0009] Moreover, by this invention approach, the process which forms the 2nd photoresist film on the deterioration film of the 1st photoresist film is followed. Furthermore, the deterioration film formation process which plasma ashing is performed [formation process] to the 2nd photoresist film, and deteriorates the surface of the 2nd photoresist film, Have the photoresist film formation process which forms the 3rd photoresist film on the deterioration film of the 2nd photoresist film, and a deterioration film formation process and a photoresist film formation process are repeated the number of predetermined times. On the lower layer photoresist film which deteriorated, another photoresist film can be formed and the photoresist film with thick thickness can be formed.

[0010] reactance formation of the monolithic microwave integrated circuit in which this invention approach could be applied when a flat-surface mold coil was formed on IC substrate, and IC substrate was especially formed with the compound semiconductor -- suitable -- for example, a semi-conductor substrate -- Ga As the substrate electric conduction film -- TiAu -- plating -- public funds -- Au is used for a group.

[0011]

[Embodiment of the Invention] With reference to an accompanying drawing, an example is given to below and the gestalt of operation of this invention is explained to it at concrete and a detail. Example this example is Ga As as one of the circuit elements of MMIC. It is the example which applied the reactance formation approach of IC concerning this invention to the process which forms a flat-surface mold coil on a substrate, and forms a reactance into IC by this. First, as

shown in drawing 1 (a), it is the half-insulation Ga As. The substrate electric conduction film 14 which consists of TiAu on a substrate 12 is formed by sputtering etc., subsequently the substrate electric conduction film 14 is etched, and patterning is carried out to the same flat-surface pattern as the request flat-surface pattern of a flat-surface mold coil.

[0012] Subsequently, as shown in drawing 1 (b), the 1st layer photoresist film 16 is applied and formed on the substrate electric conduction film 14 which carried out patterning. Then, plasma ashing is performed and the surface of the 1st layer photoresist film 16 is made to convert into the deterioration film 18, as shown in drawing 1 (c). For example, a parallel plate mold plasma ashing device or a downstream mold plasma ashing device is used for plasma ashing, for example, it performs it on the following conditions.

pressure: -- 0.6Torr temperature: -- 100-150-degreeC reactant gas: -- O₂ 150sccm or CF₄ 50sccmRF output: -- 150W hour: -- 30 -- sec [0013] Next, as shown in drawing 2 (d), the 2nd layer photoresist film 20 is applied and formed on the 1st layer photoresist film 16 which deteriorated. The sum of the thickness of the 1st layer photoresist film 16 and the 2nd layer photoresist film is thickness almost equal to the thickness of the flat-surface mold coil to form. usually, the thickness -- 1-3 micrometers it is . Furthermore, the 1st layer photoresist film 16 is formed in a multistage layer to form a thick flat-surface mold coil. That is, the 1st layer photoresist film 16 of the bottom is applied, and it forms, and plasma ashing is performed continuously, and a surface is deteriorated. Subsequently, the 1st layer photoresist film 16 of the 2nd step is applied, and it forms, and plasma ashing is performed continuously, and a surface is deteriorated. Such a process is repeated until the 1st layer photoresist film 16 becomes desired thickness.

[0014] Next, patterning of the 2nd layer photoresist film 20 and the 1st layer photoresist film 16 is carried out to a predetermined pattern with the photolithography which uses ultraviolet-rays exposure. Consequently, as shown in drawing 2 (e), the 2nd layer photoresist film 20 and the 1st photoresist film 16 are penetrated, the substrate electric conduction film 14 is reached, and it has the cross section of the letter of the abbreviation for T characters in the field which intersects perpendicularly with the longitudinal direction center line of a pattern, and the groove opening 22 of the same pattern as a flat-surface mold coil component carries out opening. Subsequently, be shown in drawing 2 (f). On the substrate electric conduction film 14 in a slot 22, a metal, for example, Au, is plated and the flat-surface mold coil 24 is formed.

[0015] In this example, since the development rate of the 1st layer photoresist film 16 with which the surface deteriorated is slower than the development rate of the normal photoresist film 20 on it, in the normal photoresist film 20, the opening 22 with a big cross-section dimension carries out opening, and the slot of a T character-like cross-section dimension is exactly formed from opening in the 1st layer photoresist film 16. Consequently, when Au plating is performed, what it overflows outside from opening 22 and contacts the next Au deposit like before is lost. Therefore, in this example, since spacing of the winding of the flat-surface mold coil 24 can be made small, MMIC with a high degree of integration is realizable. Moreover, since thickness of the 1st layer photoresist film 16 can be thickened if needed, a flat-surface mold coil with thick thickness can be formed, and the reactance of a big value by this can be formed.

[0016]

[Effect of the Invention] The process which forms the 1st photoresist film on the substrate electric conduction film in case according to this invention approach a flat-surface mold coil component is formed on IC substrate and this forms a reactance into IC. The process which plasma ashing is performed [process] to the 1st photoresist film, and deteriorates the surface of the 1st photoresist film, The process which forms the 2nd photoresist film on the deterioration film of the 1st photoresist film, The process which forms groove opening which has the opening cross section of the letter of the abbreviation for T characters in the field which carries out patterning of the 1st and 2nd photoresist film, and carries out opening by the same pattern as the predetermined flat-surface pattern of a flat-surface mold coil, and intersects perpendicularly with the longitudinal direction center line of a pattern, By having the process which plates a metal and forms a flat-surface mold coil on the substrate electric conduction film in opening, it is a high degree of integration, and the reactance of a big value can be formed.

According to this invention approach, the short circuit between reactances is prevented by forming groove opening which has the opening cross section of the letter of the abbreviation for T characters into the photoresist film using the difference in the development rate of the multilayer photoresist film, and preventing abnormality growth of metal plating. If this invention approach is applied, the yield of IC product can be raised. Moreover, since thick-film-izing of the photoresist film and extensive cross-sectional-area-ization can attain a high reactance value and the configuration of metal plating can be controlled by the guide effectiveness of the still thicker photoresist film, the reactance by which the value was stabilized can be formed and quality improves. this invention approach is applicable suitable for the reactance formation process of IC, especially a monolithic microwave integrated circuit.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the notional sectional view showing the substrate cross section for every process at the time of (c) enforcing this invention approach, respectively from drawing 1 (a).

[Drawing 2] It is the notional sectional view showing the substrate cross section for every process at the time of (f) enforcing this invention approach following on drawing 1 (c), respectively from drawing 2 (d).

[Drawing 3] It is the notional sectional view showing the substrate cross section for every process at the time of (c) enforcing the conventional approach, respectively from drawing 3 (a).

[Drawing 4] Drawing 4 (a) and (b) are drawings which illustrate the configuration of a flat-surface mold coil, respectively.

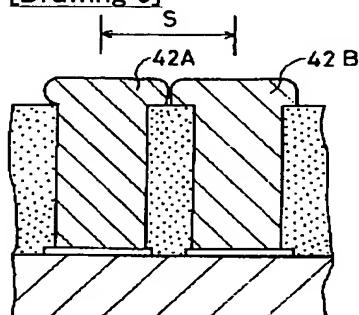
[Drawing 5] It is a substrate sectional view explaining the short pass produced when a flat-surface mold coil is formed by the conventional approach.

[Description of Notations]

12 Half-insulation Ga As A substrate, 14 [.. The deterioration film, 20 / .. The 2nd layer photoresist film, 22 / .. Opening, 24 / .. A flat-surface mold coil, 32 / .. Half-insulation Ga As / A substrate, 34 / .. Opening, 40Au plating. / .. The electric conduction film for plating, 36 .. The photoresist film, 38] .. The substrate electric conduction film, 16 .. The 1st layer photoresist film, 18

DRAWINGS

[Drawing 5]

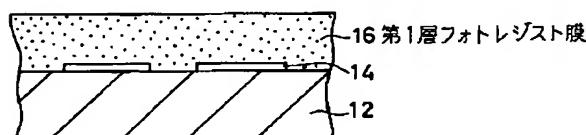


[Drawing 1]

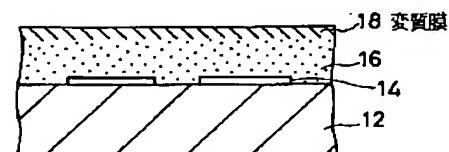
(a)



(b)

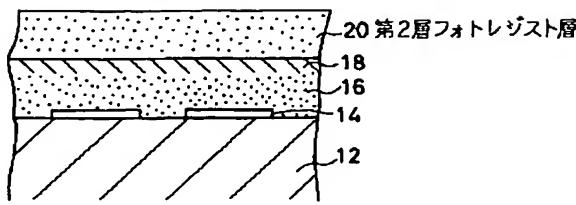


(c)

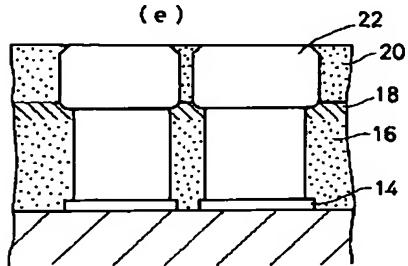


[Drawing 2]

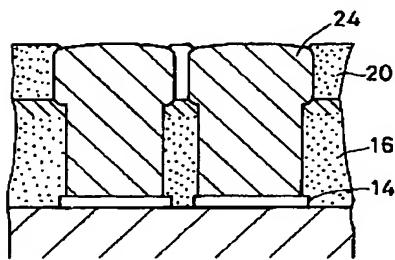
(d)



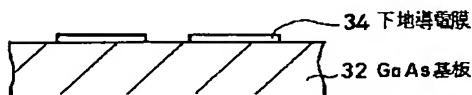
(e)



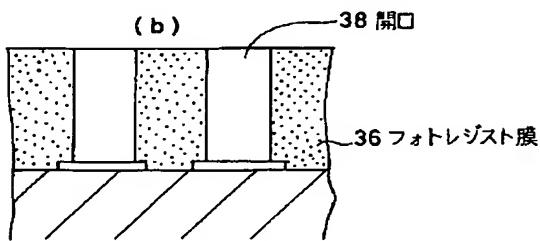
(f)

[Drawing 3]

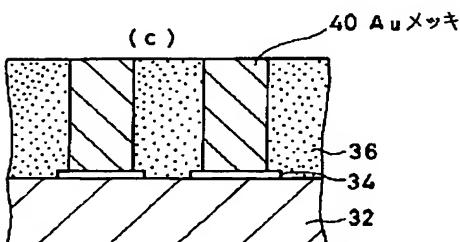
(a)



(b)



(c)

[Drawing 4]

